

入力端子1と、正相信号S₀、1を出力する第1の出力端子2と、逆相信号S₀、2を出力する第2の出力端子3とを、有し、入力端子1には、第1の出力端子2が接続され、信号反転用のインバータ4を介して、第2の出力端子3が接続されている。インバータ4は、例えばGaAsを用いた電界効果トランジスタ(以下、FETという)で構成されている。

【0003】図3は、図2に示す両相信号発生回路のタイミングチャートであり、この図を参照しつつ、図2の動作を説明する。入力端子1に入力される入力信号S₁が“L”レベルの場合、それがそのまま“L”レベルの正相信号S₀、1として出力端子3から出力される。さらに、入力信号S₁は、インバータ4で反転され、“H”レベルの逆相信号S₀、2が出力端子2から出力される。また、入力信号S₁が“H”レベルの場合、それがそのまま“H”レベルの正相信号S₀、1として出力端子3から出力され、インバータ4で反転され“L”レベルの逆相信号S₀、2が出力端子2から出力される。以上のように、図2の両相信号発生回路では、単相の入力信号S₁を入力することにより、正相信号S₀、1及び逆相信号S₀、2からなる両相信号が得られる。このような両相信号の通用回路例を図4に示す。

【0004】図4は、従来のマスタスレーブ型FETの回路図である。このマスタスレーブ型FETは、入力信号1Nを入力する入力端子11と、出力信号OUTを出力する出力端子12とを有し、これらの間には、同一構成のマスタFET20とマスタFET30が接続されている。マスタFET20は、入力端子11と接続点N1との間に接続された伝送用FET21を有し、その接続点N1が信号反転用のインバータ22を介して接続点N2に接続されている。接続点N2は、直列接続された信号反転用インバータ23及び伝送用FET24を介して、接続点N21に接続されている。スレーブFET30は、接続点N2と接続点N3との間に接続された伝送用FET31を有し、その接続点N3が信号反転用のインバータ32を介して接続点N4に接続されている。接続点N4は、直列接続されたインバータ33及びFET34を介して接続点N3に接続されている。FET21及び31は、“H”レベルの正相信号S₀、1によってオン状態となり、“L”レベルの逆相信号S₀、2によってオフ状態になるトランジスタである。同様に、FET24及び31は、“H”レベルの逆相信号S₀、2によってオン状態となり、“L”レベルの正相信号S₀、1によってオフ状態になるトランジスタである。

【0005】次に、図4のマスタスレーブ型FETの動作を説明する。正相信号S₀、1が“H”レベルで逆相信号S₀、2が“L”レベルの場合、入力信号1Nが入力端子11から入力される。入力信号1Nがオン状態のFET21を介して接続点N1へ送り、インバータ22で反転された後、接続点N2へ送られる。正相信号S₀、1

【請求項1】 入力端子から入力される入力信号に基

づき相補的な正相信号及び逆相信号を生成し、それらの両相信号を第1及び第2の出力端子から出力する両相信号発生回路において、

所定の信号伝達遅延時間T₁を有し、前記入力端子及び第1の出力端子間に直列接続された1段または複数段のインバータからなる第1の論理回路と、

前記信号伝達遅延時間T₁と異なる信号伝達遅延時間T₂を有し、該第1の論理回路の最終出力または中間段出力に基づき閉路制御され、前記入力信号を入力して前記第2の出力端子へ出力する第2の論理回路とを、備えたことを特徴とする両相信号発生回路。

【請求項2】 前記第1の論理回路は、前記複数段のインバータで構成し、

前記第2の論理回路は、前記複数段のインバータの最終段出力に基づき閉路制御され、前記入力信号を入力して前記第2の出力端子へ出力するNAND回路またはNOR回路で構成したことを特徴とする請求項1記載の両相信号発生回路。

【請求項3】 前記第1の論理回路は、前記複数段のインバータで構成し、

前記第2の論理回路は、前記複数段のインバータの中間段出力を反転するインバータと、前記インバータの出力に基づき閉路制御され、前記入力信号を入力して前記第2の出力端子へ出力するNAND回路またはNOR回路とで、構成したことを特徴とする請求項1記載の両相信号発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路等において、フリップフロップ回路(以下、FFという)のクロック信号等に用いられる正相信号及び逆相信号からなる両相信号を発生する両相信号発生回路に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献：アイイー トランザクションズ オン マイクロエレクトロニクス テクニクス (IEEE TRANSACTIONS ON MICROELECTRONIC TECHNOLOGIES) 35, ACTIONS ON MICROELECTRONIC TECHNOLOGIES) 35, 12 (1988-12) IEEE (米) M. TAHASHI, H. IT

【12】 (1988-12) IEEE (米) M. TAHASHI, H. IT, O. K. VEDA AND R. YAMAMOTO "A 9.5 GHz CMOS シャリ アレイパル 1/4 GaAs ダイナミック プリスケラ A 9.5 GHz Commercially Available 1/4 GaAs Dynamic Prescaler" P. 1913-19 14図2は、前記文献に記載された従来の両相信号発生回路の一構成例を示す構成図である。この両相信号発生回路は、例えば9.5GHz程度のダイナミック型プリスケラに用いられ、入力信号S₁を入力する

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平6-152346
(43)公開日 平成6年(1994)5月31日

(51)Int.Cl. H 03 K 5/15	発明の名称 C 7402-6J	発明の名称 F I	技術表示箇所
(21)出願番号 特願平4-283345	(71)出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社	(72)発明者 辻 敏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社	(74)代理人 弁理士 楠本 恭成
(22)出願日 平成4年(1992)10月30日	審査請求 未請求 請求項の数3(全7頁)		

(54)【発明の名称】 両相信号発生回路

(57)【要約】 (修正有)

【目的】 正相信号と逆相信号が共に“H”レベルまたは“L”レベルになることを防止する。

【構成】 インバータ51、52及びNAND回路の信号伝達遅延時間をT₁、T₂及びT₃とする。入力信号S₁が“H”レベルのとき、それがインバータ51、52で逐次反転され、T₁ + T₂遅れた“H”の正相信号S₀、1となる。逆相信号S₀、2は、NAND回路61によってT₁ + T₂ + T₃遅れて“L”となる。入力信号S₁が“L”になると、逆相信号S₀、1がT₃遅れて“H”となり、正相信号S₀、1が遅延時間T₁ + T₂ - T₃遅れて“L”となる。

50, 60: 第1, 第2の論理回路

本発明の第1の実施例の両相信号発生回路

が“L”レベルで逆相信号 S_0 、2が“H”レベルになる
と、接続点N2上の入力信号 I_{N1} は、インバータ23で
反転され、オン状態のFET24を介して、接続点N1
へ帰還する。このインバータ22、23及びFET24
の帰還ループにより、入力信号 I_{N1} が保持される。ま
た、接続点N2上の入力信号 I_{N1} は、インバータで反転
され、接続点N2を通り、オン状態のFET31を介し
て接続点N3へ送られる。接続点N3上の入力信号 I_{N1}
は、インバータ32で反転された後、接続点N4へ送ら
れ、出力信号OUTとして出力端子12から出力され
る。正相信号 S_0 、1が“H”レベルで、逆相信号 S_0 、2
が“L”レベルになると、接続点N4上の入力信号 I_{N1}
は、インバータ33で反転され、オン状態のFET34
を介して接続点N3へ帰還する。このようなインバータ
32、33及びFET34の帰還ループにより、入力信
号 I_{N1} が保持される。

【0006】

【発明が解決しようとする課題】しかしながら、従来の
図2のような両相信号発生回路では、次のような課題が
あった。従来の両相信号発生回路は、インバータ4の信
号伝達遅延時間 T_1 があるため、逆相信号 S_0 、2が正相信
号 S_0 、1に比べ該信号伝達遅延時間 T_1 だけ遅れ、共に
“H”レベルまたは“L”レベルになるという問題があ
った。例えば、9.5GHz程度のダイナミック型ブリ
ュースレーザ等に用いられる両相信号発生回路では、信号伝
達遅延時間 T_1 を短くすることは可能であるが、その遅延
時間 T_1 を零にすることはできない。そのため、このよう
な正相信号 S_0 、1及び逆相信号 S_0 、2で動作する図4の
マスタスレーブ型FETでは、正相信号 S_0 、1と逆相信号
 S_0 、2が短い時間でも共に“L”レベルになると、接続
点N1及びN2の電位が不安定になって動作の原因とな
る。

【0007】図4のマスタスレーブ型FETでは、共に

“L”レベルになるということが問題になるが、それと
は逆に、共に“H”レベルになることが問題になる回路
もある。従って、従来の両相信号発生回路では、その用
途上の制限を受けることになる。本発明は、前記従来技
術が持っていた課題として、正相信号と逆相信号の立ち
上がり及び立ち下りが重複する点について解決した両相信
号発生回路を提供するものである。

【0008】

【課題を解決するための手段】第1の発明は、前記課題
を解決するために、入力端子及び逆相信号 S_0 、1に
基づき相補的な正相信号及び逆相信号を生成し、それら
の両相信号を第1及び第2の出力端子から出力する両相
信号発生回路において、次のような手段を設けている。

即ち、第1の発明では、所定の信号伝達遅延時間 T_1 を
有し、前記入力端子及び第1の出力端子間に直列接続さ
れた1段または複数段のインバータからなる第1の処理
回路と、前記信号伝達遅延時間 T_1 と異なる信号伝達遅延

延時間 T_2 を有し、該第1の処理回路の最終段出力また
は中間段出力に基づき閉路制御され、前記入力信号を入
力して前記第2の出力端子へ出力する第2の処理回路と
を、設けている。

【0009】第2の発明は、第1の発明の第1の処理回
路を、前記インバータで構成し、第2の処理回路を、前
記インバータの最終段出力に基づき閉路制御され、前記
入力信号を入力して前記第2の出力端子へ出力するNAND
回路またはNOR回路で構成している。第3の発明
は、第1の発明の第1の処理回路を、前記インバータで
構成し、第2の処理回路を、前記インバータの中間段出
力を反転するインバータと、前記インバータの出力に基
づき閉路制御され、前記入力信号を入力して前記第2の
出力端子へ出力するNAND回路またはNOR回路と
で、構成している。

【0010】

【作用】第1の発明によれば、以上のように両相信号発
生回路を構成したので、入力信号が第1の処理回路に入
力されると、該入力信号が1段または複数段のインバー
タによって逐次反転された後、信号伝達遅延時間 T_1 だけ
遅れて、例えば正相信号が第1の出力端子から出力さ
れる。第2の処理回路は、前記インバータの最終段また
は中間段出力に基づき閉路制御され、前記入力信号を入
力して信号伝達遅延時間 T_2 だけ遅れて、例えば逆相信
号を第2の出力端子から出力する。第2の発明では、入
力信号が第1の処理回路に入力されると、この入力信号
が1段または複数段のインバータによって逐次反転され
た後、信号伝達遅延時間 T_1 だけ遅れて、例えば正相信
号が前記第1の出力端子から出力される。NAND回路
またはNOR回路で構成された第2の処理回路は、前記
複数段のインバータの最終段出力に基づき閉路制御さ
れ、前記入力信号を入力して信号伝達遅延時間 T_2 だけ
遅れて、例えば逆相信号を第2の出力端子から出力す
る。第3の発明では、入力信号が第1の処理回路に入力
されると、該入力信号が1段または複数段のインバータ
によって逐次反転された後、信号伝達遅延時間 T_1 だけ
遅れて、例えば正相信号が第1の出力端子から出力され
る。前記複数段のインバータの中間段出力は、第2の処
理回路内のインバータで反転された後、NAND回路また
はNOR回路が開閉される。このNAND回路または
NOR回路を通った入力信号は、信号伝達遅延時間 T_2 ま
だけ遅れて、例えば逆相信号が第2の出力端子から出力
される。従って、前記課題を解決できるものである。

【0011】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示す両相信号発生回路
の構成図である。この両相信号発生回路は、入力信号
 I_{N1} を入力する入力端子41と、正相信号 S_0 、1及び
逆相信号 S_0 、2をそれぞれ出力する第1、第2の出

力端子42、43とを、有している。入力端子41と第
1の出力端子42との間には、入力信号 S_0 、1のタイ
ミング調整を行う第1の処理回路50が接続され、さら
に入力端子41と第2の出力端子43との間にも、逆相
信号 S_0 、1のタイミング調整を行う第2の処理回路6
0が接続されている。第1の処理回路50は、入力信号
が入力端子41に接続されたインバータ51を有し、その
インバータ51の出力側に接続点N11が、インバータ
52を介して第1の出力端子42に接続されている。第
2の処理回路60は、2入力カNAND回路61で構成
され、その一方の入力側が出力端子41に、他方の入力
側が第1の出力端子42に、出力側が第2の出力端子4
3に、それぞれ接続されている。また、本実施例では、
インバータ51、52及びNAND回路61の信号伝達
遅延時間を、それぞれ T_1 、 T_2 及び T_3 とし、入力信
号 S_0 、1と正相信号 S_0 、2の位相差が $T_1 + T_2$
 $2 (=T_3)$ に等しく、 $T_1 + T_2 > T_3 (=T_4)$ と
いう条件に設定されている。

【0012】図5は、図1の両相信号発生回路のタイミ
ングチャートであり、この図5を参照しつつ、図1の動
作を説明する。なお、図5は信号 S_0 、1と正相信号 S_0 、
11及び逆相信号 S_0 、12の論理レベルをTとHとする。
入力信号 S_0 、11を入力端子41から入力すると、該入
力信号 S_0 、11がインバータ51、52によって逐次反
転された後、正相信号 S_0 、11が出力端子42から出力
される。正相信号 S_0 、11がNAND回路61に入力さ
れると、該NAND回路61では、入力信号 S_0 、11と
の否定論理値を求め、逆相信号 S_0 、12を出力端子43
へ出力する。

【0013】ここで、入力信号 S_0 、11が“H”レベル
となった場合、遅延時間 $T_1 + T_2$ 遅れて正相信号 S_0 、
11が“H”レベルとなる。逆相信号 S_0 、12は、入力
信号 S_0 、11と正相信号 S_0 、11とを入力としたNAND
回路61により、入力信号 S_0 、11が“H”レベルと
なってから遅延時間 $T_1 + T_2 + T_3$ 遅れて“L”レベ
ルとなる。入力信号 S_0 、11が“L”レベルになった場
合、逆相信号 S_0 、12が遅延時間 T_1 だけ遅れて“H”
レベルとなった後、正相信号 S_0 、11が遅延時間 $T_1 +$
 $T_2 - T_3$ 遅れて“L”レベルとなる。以上のように、
本実施例では、正相信号 S_0 、11と逆相信号 S_0 、12が
同時に“L”レベルになることがない。そのため、この
ような正相信号 S_0 、11及び逆相信号 S_0 、12を用い
て、例えば図4のようなマスタスレーブ型FETを動作さ
せれば、該マスタスレーブ型FETの動作を的確に防い
で、前記課題を解決できる。従って、本実施例の両相
信号発生回路の適用可能な回路範囲を拡大できる。

【0014】第2の実施例

図6は、本実施例の第2の実施例を示す両相信号発生回
路の構成図であり、第2の実施例を示す図1中の要素と
共通の要素には共通の符号が付されている。この両相信
号発生回路は、共通の符号が付されている。この両相信

号発生回路では、図1の第2の処理回路60が、構成の
異なる第2の処理回路60Aで構成されている。他の構
成は、図1の構成図と同一である。第2の処理回路60
Aは、2入力カNAND回路61及びインバータ62で
構成されている。2入力カNAND回路61は、一方の
入力側が出力端子41に接続され、他方の入力側が接
点N11に接続されている。接続点N11と2入力カNAND
回路61の一方の入力側との間には、インバータ
62が接続されている。本実施例では、インバータ5
1、52、63及びNAND回路62の信号伝達遅延時
間をそれぞれ T_1 、 T_2 、 T_3 及び T_4 とし、それぞ
れの信号伝達遅延時間の相互関係を $T_2 < T_3 + T_4$ ($T_1 + T_4 = T_3$)と $T_2 = T_3$ という条件に設定され
ている。

【0015】次に、動作を説明する。入力信号 S_0 、11
を入力端子41から入力すると、該入力信号 S_0 、11が
図1と同様にインバータ51、52によって逐次反転さ
れた後、正相信号 S_0 、11が出力端子42から出力され
る。また、接続点N11から出力された反転信号がイン
バータ62で再び反転された後、NAND回路61に入
力されると、該NAND回路61では、入力信号 S_0 、1
1との否定論理値を求め、逆相信号 S_0 、12を出力端子
43から出力する。このような動作と設定された条件に
より“H”レベル及び“L”レベルの出力状態は、第1
の実施例とほぼ同様となる。以上のように、本実施例
では、正相信号 S_0 、11と逆相信号 S_0 、12が同時に
“L”レベルとなることがない。従って、第1の実施例
と同様に両相信号発生回路の適用可能な回路範囲を拡大
できる。また、インバータ52のファンアウト数が減少
することにより、正相信号 S_0 、11の駆動能力の低下を
防止できる。

【0016】第3の実施例

図7は、本実施例の第3の実施例を示す両相信号発生回
路の構成図であり、第1の実施例を示す図1中の要素と
共通の要素には共通の符号が付されている。この両相信
号発生回路では、図1の第2の処理回路60が、構成の
異なる第2の処理回路70で構成されている。他の構成
は図1の構成図と同一である。第2の処理回路70は、
2入力カNOR回路71で構成されている。2入力カNOR
回路71は、一方の入力側が出力端子42に接続され、
他方の入力側が出力端子41に接続されている。本実
施例では、インバータ51、52とNAND回路71の信号
伝達遅延時間をそれぞれ T_1 、 T_2 とし、入力信号 S_0 、11
と正相信号 S_0 、12の位相差が $T_1 + T_2$ に等しく、 $T_1 + T_2 > T_3$ という条
件に設定されている。

【0017】図9は、図7の両相信号発生回路のタイミ
ングチャートであり、この図9を参照しつつ、図7の動
作を説明する。入力信号 S_0 、11を入力端子41から入
力すると、該入力信号 S_0 、11が図1と同様にインバー

タ51, 52によって逐次反転された後、正相信号 S_0 11が出力端子42から出力される。正相信号 S_0 11がNOR回路71に入力されると、該NOR回路71では、入出力端子 S_1 11との否定論理和を求め、逆相信号 S_0 12を出力端子43へ出力する。ここで、入出力端子 S_1 11が"H"レベルとなった場合、遅延時間 T_1 遅れて逆相信号 S_0 12が"L"レベルとなる。逆相信号 S_0 12が"L"レベルとなった後、遅延時間 $T_1 + T_2$ 遅れて正相信号 S_0 11が"H"レベルとなる。

【0018】次に、入出力端子 S_1 11が"L"レベルとなった場合、正相信号 S_0 11が遅延時間 $T_1 + T_2$ 遅れて"L"レベルとなり、逆相信号 S_0 12が遅延時間 $T_1 + T_2 + T_3$ 遅れて"H"レベルとなる。以上のように、本実施例では、正相信号 S_0 11と逆相信号 S_0 12が同時に"H"レベルになることがない。そのため、第1の実施例及び第2の実施例の他にも、通用可能な回路範囲を拡大できる。また、NOR回路で第2の論理回路70を構成することにより、図1の第2の論理回路60のNAND回路に比べ、回路の構成要素数を低減できる。

【0019】第4の実施例

図8は、本発明の第4の実施例を示す両相信号発生回路の構成図であり、第2の実施例を示す図6中の要部と共通の要素には共通の符号が付されている。この両相信号発生回路では、図6の第2の論理回路60Aが構成の異なる第2の論理回路70Aで構成されている。他の構成は、図6の構成と同一である。第2の論理回路70Aは、2入力のNOR回路71及びインバータ72で構成されている。2入力のNOR回路72の一方の入力側が入出力端子41に接続され、他方の入力側が接続点N11に接続されている。接続点N11と2入力のNOR回路72の一方の入力側との間には、インバータ72が接続されている。また、本実施例はインバータ51, 52, 72及びNOR回路71の信号伝達遅延時間をそれぞれ T_1 , T_2 , T_3 及び T_4 とし、それぞれの信号伝達遅延時間の相互関係を $T_2 < T_3 + T_4$ と $T_1 = T_3$ という条件に設定されている。

【0020】次に、動作を説明する。入出力端子 S_1 11が入出力端子41から入力すると、該入出力端子 S_1 11が図6と同様にインバータ51, 52によって逐次反転された後、正相信号 S_0 11が出力端子42から出力される。また、接続点N11から出力された反転信号が、インバータ72で再び反転された後、NOR回路71に入力されると、該NOR回路71では、入出力端子 S_1 11との否定論理和を求め、逆相信号 S_0 12を出力端子43へ出力する。このような動作と、設定された条件により"H"レベル及び"L"レベルの出力状態は、第3の実施例とほぼ同様となる。従って、本実施例は、正相信号 S_0 11と逆相信号 S_0 12が同時に"L"レベルと

なることがない。これにより、第3の実施例と同様に第1の実施例及び第2の実施例の他にも、通用可能な回路範囲を拡大できる。また、インバータ52のファンアウト数が減少することによって、第2の実施例と同様に正相信号 S_0 11の駆動能力の低下を防止できると共に、NOR回路で第2の論理回路70Aを構成することにより、図1の第2の論理回路60のNAND回路に比べ回路の構成要素数を低減できる。

【0021】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) インバータ51, 52は、例えば2入力のNAND回路またはNOR回路に変えてもよい。この場合、NAND回路またはNOR回路の一方の入力側は、"H"レベルまたは"L"レベルに固定する。

(b) 図6のインバータ52を省略してNAND回路61をAND回路に変えたり、あるいは図8のインバータ52を省略し、NOR回路71をOR回路に変えることにより、回路構成数を少なくすることができる。

(c) 第1の論理回路50と第2の論理回路60, 61, 70及び70Aは、前記(a), (b)以外のゲート回路等で構成してもよい。

【0022】

【発明の効果】以上詳細に説明したように、第1の発明によれば、第1, 第2の論理回路の信号伝達遅延時間を、 T_1 と T_2 とそれぞれ異なる時間に設定したので、次のような効果がある。

- (i) 第1, 第2の論理回路の信号伝達遅延時間 T_1 及び T_2 により、第1, 第2の出力端子からの出力が、例えば同時に"L"レベル信号または"H"レベル信号の立ち上り及び立ち下りが重複することを防止できる。
- (ii) 従来技術では、正相信号と逆相信号の間に時間的なズレがあったが、本発明では第2の論理回路の開閉制御により、時間的なズレを防止し、同一タイミングで出力することができる。
- (iii) 第2の論理回路の入力側を第1の論理回路の中間出力とすることにより、第2の出力端子の駆動能力の低下を防止することができる。

【0023】第2の発明によれば、第2の論理回路をNAND回路またはNOR回路で構成したので、比較的簡単な回路によって第1の発明の(i)及び(ii)の効果を得ることができる。第3の発明によれば、第2の論理回路の入力を、第1の論理回路のインバータの中間段出力としたので、第2の発明の効果を得られ、さらにファンアウト数を少なくすることができ、第1の発明の(ii)の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す両相信号発生回路の構成図である。

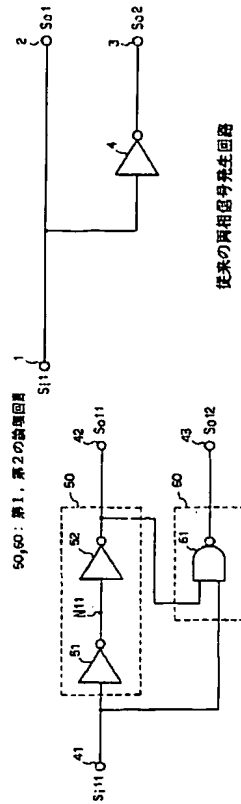
【図2】従来の両相信号発生回路の構成図である。

- 【図3】図2のタイミングチャートである。
 【図4】アウタースレーブ型FFの回路図である。
 【図5】図1のタイミングチャートである。
 【図6】本発明の第2の実施例を示す両相信号発生回路の構成図である。
 【図7】本発明の第3の実施例を示す両相信号発生回路の構成図である。
 【図8】本発明の第4の実施例を示す両相信号発生回路の構成図である。
 【図9】図7のタイミングチャートである。
 【符号の説明】

【図1】

【図2】

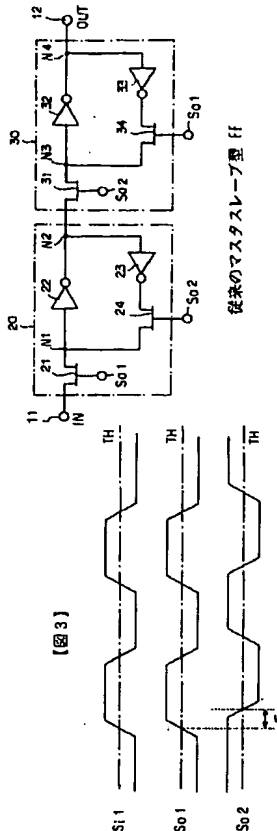
50, 60: 第1, 第2の論理回路



従来の両相信号発生回路

本発明の第1の実施例の両相信号発生回路

【図4】



従来のマスタスレーブ型 FF

図2のタイミングチャート

【図5】

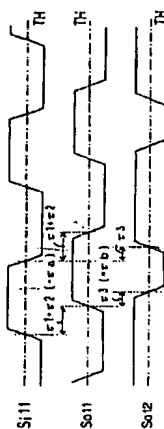
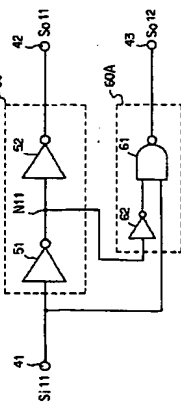


図1のタイミングチャート

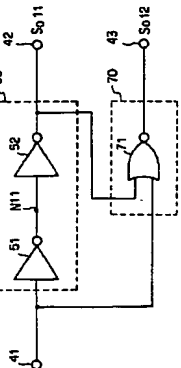
【図6】

60A：第2の論理回路



【図7】

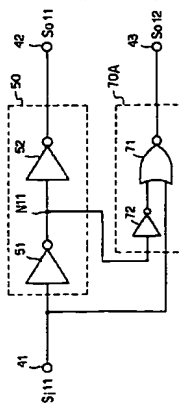
50,70：第1、第2の論理回路



本発明の第2の実施例の両相信号発生回路

本発明の第3の実施例の両相信号発生回路

【図8】



【図9】

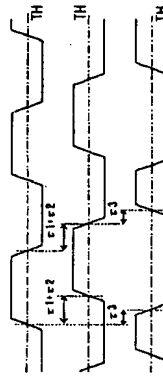


図7のタイミングチャート

70A：第2の論理回路

本発明の第4の実施例の両相信号発生回路